

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09074364 A**

(43) Date of publication of application: **18.03.97**

(51) Int. Cl. **H04B 1/16**

(21) Application number: **07229469**

(22) Date of filing: **06.09.95**

(71) Applicant: **SHARP CORP**

(72) Inventor: **HATTORI SHINJI**

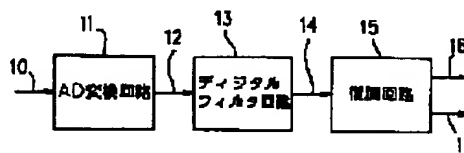
(54) **FM MULTIPLEX RECEIVER**

COPYRIGHT: (C)1997,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To improve a signal-to-noise ratio and phase characteristics by providing an analog/digital conversion means, a digital filter means for separating and outputting digital multiplex signals and a demodulation means.

SOLUTION: An analog/digital conversion circuit (AD converter circuit) 11 converts inputted FM demodulated waves 10 from analog signals to digital signals and outputs converted digital FM demodulated waves 12 to a digital filter circuit 13. Then, the digital filter circuit 13 separates digital multiplex signal waves 14 from the inputted digital FM demodulated waves 12 by performing a digital signal processing and outputs them to a demodulation circuit 15. Further, the demodulation circuit 15 outputs bit data 16 and bit clocks 17 by demodulating the inputted digital multiplex signal waves 14. By using such a digital filter circuit 13, the signal-to-noise ratio is improved and the degradation of the phase characteristics is eliminated.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-74364

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl.⁶

H 0 4 B 1/16

識別記号

庁内整理番号

F I

H 0 4 B 1/16

技術表示箇所

G

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21)出願番号

特願平7-229469

(22)出願日

平成7年(1995)9月6日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 服部 真司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

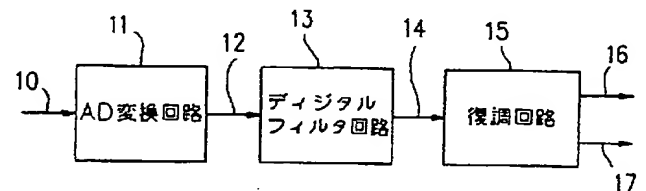
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 FM多重受信装置

(57)【要約】

【課題】 多重信号波および放送波が混在したFM復調波から多重信号波を高精度かつ低雑音で分離するFM多重放送の受信装置を提供する。

【解決手段】 FM復調波をアナログからデジタルに変換するアナログ／デジタル変換回路と、デジタルFM復調波をデジタル信号処理しデジタル多重信号波を分離出力するデジタルフィルタ回路と、デジタル多重信号波から信号復調をおこなう復調回路と、を備えている。



【特許請求の範囲】

【請求項1】 アナログFM復調信号を受け取り、該アナログFM復調信号をデジタルFM復調信号に変換するアナログ／デジタル変換手段と、

該デジタルFM復調信号をデジタル信号処理することにより、デジタル多重信号を分離して出力するデジタルフィルタ手段と、

該デジタル多重信号を受け取り、復調をおこなう復調手段と、
を備えているFM多重受信装置。

【請求項2】 前記アナログ／デジタル変換手段は、ノイズシェーピング方式による1ビットアナログ／デジタル変換手段と、1ビットデジタル信号のサンプリング周波数を整数分の1に間引くための間引きフィルタ手段と、を備えている請求項1に記載のFM多重受信装置。

【請求項3】 前記1ビットアナログ／デジタル変換手段は、2次シグマデルタ変調をおこなう請求項2に記載のFM多重受信装置。

【請求項4】 前記間引きフィルタ手段は、前記サンプリング周波数を16分の1に間引く請求項2に記載のFM多重受信装置。

【請求項5】 前記デジタルフィルタ手段は、有限インパルス応答フィルタを備えている請求項1に記載のFM多重受信装置。

【請求項6】 前記有限インパルス応答フィルタは、奇数番目のフィルタ係数値がゼロであり、かつ多重信号中心周波数の4倍のサンプリング周波数で信号処理をおこなう請求項5に記載のFM多重受信装置。

【請求項7】 前記有限インパルス応答フィルタは、フィルタ係数値が対称形である請求項6に記載のFM多重受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、FM多重受信装置に関する。さらに詳細には、デジタルフィルタを備えた、多重化されて送信されたFM波を受信する装置に関する。

【0002】

【従来の技術】「FM多重受信装置」とは、通常のFM放送波と併せて送信された多重信号波を受信する装置をいう。FM放送波の周波数スペクトルと、多重信号波の周波数スペクトルとは、周波数軸上で重ならないように多重化され、送信される。このようなFM多重受信装置の応用例としては、FM文字放送受信機、FMページャ、交通情報システムなどが挙げられる。

【0003】図16および図17を参照しながら従来の多重受信装置を説明する。従来のFM多重受信装置は、多重信号波151と放送波150とが混在したFM復調波から多重信号波151を分離するために、スイッチト

キャパシタフィルタ等のアナログフィルタを使用していた。この技術を使用した製品には、例えば、三洋電機株式会社製のLV3400Mがある。

【0004】従来の技術を使用したFM多重受信装置は、FM復調波140から高域の雑音成分を取り除いた信号142を出力するアンチエイリアシングフィルタ回路141と、信号142から多重信号波144を分離出力するスイッチトキャパシタフィルタ回路143と、多重信号波144からビットデータ146を復調しビットクロック147を生成する復調回路145から構成される。

【0005】アンチエイリアシングフィルタ回路141は、スイッチトキャパシタフィルタ回路143のクロック周波数の1/2以上の信号成分を除去するために、スイッチトキャパシタフィルタ回路143の前段に置かれる。これは、スイッチトキャパシタフィルタ回路143が、そのクロック周波数の1/2までの周波数成分しか処理できないからである。

【0006】スイッチトキャパシタフィルタ回路143は、フィルタリングが施された信号142を受け取り、多重信号波144を復調回路145に出力する。スイッチトキャパシタフィルタ回路143がもつ周波数特性152は、多重信号波151の中心周波数153を中心とする帯域通過特性である。

【0007】復調回路145は、多重信号波144を受け取り、ビットデータ146およびビットクロック147を出力する。ビットデータ146を復調するためには、遅延検波や同期検波などが用いられる。ビットクロック147を生成するためには、PLL技術などが一般に用いられる。

【0008】

【発明が解決しようとする課題】しかしながら、上述の従来技術においては、次に示す問題があった。すなわち、従来の技術で用いられるアナログフィルタは、電源回路からの雑音や増幅器が発生する雑音出力されるために、信号対雑音比が劣化した。

【0009】また多重信号以外の周波数成分を除去する能力を向上させるためには、縦列接続されるアナログフィルタの段数を増やす必要がある。しかしフィルタの段数の増加に伴い、雑音増加、各フィルタの特性上のばらつき、位相特性の劣化等の問題があった。

【0010】本発明は、上記課題を解決するためになされたものであり、その目的は、信号対雑音比および位相特性に優れたFM多重受信装置を提供することである。

【0011】

【課題を解決するための手段】本発明によるFM多重受信装置は、アナログFM復調信号を受け取り、該アナログFM復調信号をデジタルFM復調信号に変換するアナログ／デジタル変換手段と、該デジタルFM復調信号をデジタル信号処理することにより、デジタル

多重信号を分離して出力するデジタルフィルタ手段と、該デジタル多重信号を受け取り、復調をおこなう復調手段と、を備えており、そのことにより上記目的が達成される。

【0012】好ましくは、前記アナログ／デジタル変換手段は、ノイズシェーピング方式による1ビットアナログ／デジタル変換手段と、1ビットデジタル信号のサンプリング周波数を整数分の1に間引くための間引きフィルタ手段と、を備えている。

【0013】ある実施例では、前記1ビットアナログ／デジタル変換手段は、2次シグマデルタ変調をおこなう。

【0014】ある実施例では、前記間引きフィルタ手段は、前記サンプリング周波数を16分の1に間引く。

【0015】好ましくは、前記デジタルフィルタ手段は、有限インパルス応答フィルタを備えている。

【0016】好ましくは、前記有限インパルス応答フィルタは、奇数番目のフィルタ係数値がゼロであり、かつ多重信号中心周波数の4倍のサンプリング周波数で信号処理をおこなう。

【0017】好ましくは、前記有限インパルス応答フィルタは、対称形である。

【0018】

【発明の実施の形態】図1は、本発明によるFM多重受信装置の実施の形態のブロック図を示す。アナログ／デジタル変換回路（AD変換回路）11は、入力されたFM復調波10をアナログ信号からデジタル信号に変換し、変換されたデジタルFM復調波12をデジタルフィルタ回路13に出力する。デジタルフィルタ回路13は、デジタル信号処理することにより、入力されたデジタルFM復調波12からデジタル多重信号波14を分離し、復調回路15に出力する。復調回路15は、入力されたデジタル多重信号波14を復調することにより、ビットデータ16およびビットクロック17を出力する。

【0019】図2は、デジタルFM復調波12のもつ周波数スペクトラムを示す。図2に示すように、デジタルFM復調波12は、多重信号波21と放送波20とが異なる周波数において多重化された信号である。放送波20は、通常のFM放送波であり、そのスペクトルの上限周波数は、約50kHzである。多重信号波中心周波数23をもつ多重信号波21は、例えば、文字などを表現するためのデジタルデータを伝送する。デジタルフィルタ回路13は、デジタルFM復調波12から多重信号波14を分離するために図2に示す帯域通過特性22を有している。復調回路15は、多重信号波14を復調してビットデータ16およびビットクロック17を出力する。

【0020】図3は、ビットデータ16およびビットクロック17を表すタイミングチャートを示す。ビットデ

ータ16の遷移する時刻30は、ビットクロック17の立ち上がり31に同期している。ビットデータ16およびビットクロック17は、例えば、送信された文字放送の内容を復元するために用いられる。

【0021】

【実施例】

（実施例1）図4は、本発明によるFM多重受信装置の実施例1におけるAD変換回路のブロック図を示す。

【0022】実施例1においては、AD変換回路11として、図4に示すノイズシェーピング方式による1ビットAD（アナログ／デジタル）変換回路33と、1ビットデジタル信号34をそのサンプリング周波数の整数分の1に間引くための間引きフィルタ35とを用いている。

【0023】図5は、ノイズシェーピング方式による1ビットアナログ／デジタル変換装置回路が発生する量子化雑音の周波数スペクトルおよび間引きフィルタの周波数特性を示す。ノイズシェーピング方式による1ビットアナログ／デジタル変換装置回路33が発生する量子化雑音39は、高い周波数領域においてはそのレベルが大きい。しかしこの量子化雑音39は、アナログ信号である入力されたFM復調波32の周波数スペクトル37が位置する低い周波数領域においてはそのレベルは十分小さい。したがって間引きフィルタ35が、図5に示すような周波数特性38（低域通過特性）を有していれば、その出力36における上記量子化雑音39をじゅうぶんに低減させることができる。具体的には、周波数特性38の通過帯域の上限の周波数は $(1/T2)$ 以下なので、 $(1/T2)$ より高い周波数をもつ信号（雑音）は十分、減衰する。ここでT2は、間引きフィルタ35のサンプリング周期を表す。

【0024】図6は、1ビットAD変換回路33の出力34、および間引きフィルタ35の出力36のタイミングを示す。図6において、T1は、1ビットAD変換器33のサンプリング周期を表す。周期T1に対する周期T2の比率 $(T2/T1)$ を大きく設定すると、すなわち周期T2を一定にし、周期T1を短く設定すると、より高いビット精度の出力36を得ることができる。しかし、 $(1/T1)$ によって表される周波数は、1ビットアナログ／デジタル変換回路33の変換周波数の上限以上には設定できない。逆に、上記比率 $(T2/T1)$ を小さく設定すると、すなわち周期T2を一定にし、周期T1を長く設定すると、十分なビット精度が得られない。ここで「ビット精度」とは、サンプリングによって得られた信号における量子化雑音の大きさをいう。したがってビット精度が高いほど、量子化雑音は小さい。

【0025】1ビットアナログ／デジタル変換回路33において2次デルタシグマ変調を用いると、比率 $(T2/T1)$ が16のとき、ビット精度は約8ビットであり（すなわち8ビットの分解能をもち）、目的とするF

M多重放送受信装置に適当なビット精度となる。このことは、実験または計算により導かれる。

【0026】図7は、比率($T2/T1$)が16のときの、1ビットAD変換回路33および間引きフィルタ3*

$$H(z) = \{(1 - z^{-16}) / 16(1 - z^{-1})\}^3$$

図8は、上述のノイズシェーピング方式による1ビットAD変換回路のブロック図の一例を示す。この回路は、2次シグマデルタ変調方式による1ビットAD変換回路である。入力信号67は、縦列に接続される1段目の積分器60と2段目の積分器61とによってシグマデルタ変調される。

【0028】コンパレータ62は、シグマデルタ変調信号69を、グラウンド電圧を基準として、「0」および「1」に量子化する。Dフリップフロップ63は、1サイクル周期の遅延を発生する。Dフリップフロップ63のクロック端子71には、クロック $\phi 1$ が与えられる。

【0029】図8に示されるアナログスイッチ(MOSスイッチ)D1、D2、 $\phi 1$ および $\phi 2$ は、それぞれ、Dフリップフロップ63のQ出力72、Dフリップフロップ63の/Q(Qバー)出力73、クロック $\phi 1$ およびクロック $\phi 2$ が「1」のときに閉じ、「0」のときに開く。例えば、アナログスイッチ608および605は、それぞれQ出力72(D1)および/Q出力73

(D2)によって導通状態が決まる。なお、Q出力72(D1)および/Q出力73(D2)の位相は、逆位相の関係にある。Q出力72および/Q出力73は、スイッチトキャパシタを用いて構成される積分器60および61に帰還される。リファレンス電源64の電圧Vrefの2分の1にあたる電圧は、Q出力72および/Q出力73に基づいて、積分器60および61に与えられる。なお、クロック $\phi 1$ およびクロック $\phi 2$ は、図示していないクロック発生器により与えられる。またクロック $\phi 1$ およびクロック $\phi 2$ のデューティ比は、クロック $\phi 1$ およびクロック $\phi 2$ の接続の期間が重ならないように適当に設定すればよい。

【0030】1段目の積分器60の構成をさらに詳細に説明する。入力616は、アナログスイッチ617を介して入力キャパシタ620の一端に入力される。入力キャパシタ620の他端は、帰還キャパシタ603および613の一端と接続され、アナログスイッチ622を介して演算増幅器623の反転入力に接続される。演算増※

$$H(z) = H1(z) \cdot H2(z)$$

$$H1(z) = 1 - 3z^{-16} + 3z^{-32} - z^{-48}$$

$$H2(z) = (1 - z^{-1})^{-3}$$

デジタル信号である入力80は、縦列に接続された遅延器81、83および85によって遅延される。遅延器81、83および85の遅延段数は、それぞれ16とする。ここで「遅延段数」とは、遅延器において信号を遅延させる周期T1の数をいう。遅延器81の出力信号82は、入力80に比べて(16×T1)だけ遅延してお

*5の周波数特性の例を示す。この特性は移動平均フィルタと一般によれば、その伝達関数は次の式1で表される。

【0027】

式1

※幅器623の非反転入力は、グラウンド625に接続される。演算増幅器623の反転入力と出力624とは、積分キャパシタ615を介して接続される。

【0031】図9は、Q出力72、/Q出力73、クロック $\phi 1$ およびクロック $\phi 2$ が変化したときの、アナログスイッチD1、D2、 $\phi 1$ および $\phi 2$ の導通状態を示す。

【0032】アナログスイッチ608は、Q出力72(D1)が1のときに閉じ、Q出力72(D1)が0のときに開く。アナログスイッチ605は、/Q出力73(D2)が1のときに閉じ、/Q出力73(D1)が0のときに開く。

【0033】アナログスイッチ601、611、617および622は、クロック $\phi 1$ が1のときに閉じ、クロック $\phi 1$ が0のときに開く。同様に、アナログスイッチ606、609、619および621は、クロック $\phi 2$ が1のときに閉じ、クロック $\phi 2$ が0のときに開く。2段目の積分器61は、1段目の積分器60と同一の回路である。

【0034】上述のノイズシェーピング方式による1ビットAD変換回路33は、8ビットAD変換器、16ビットAD変換器などに比べて、高速な動作が可能である。一方、ノイズシェーピング方式による1ビットAD変換回路33は、8ビットAD変換器、16ビットAD変換器などに比べて、量子化雑音の周波数スペクトラムが高域側に偏っている。したがって後述する間引きフィルタ35と組み合わせれば、高速動作が可能で、かつ所望の分解能をもつAD変換器を実現することが可能である。

【0035】図10は、間引きフィルタ回路35の回路例を示す。以下、図10を参照しながら間引きフィルタ回路35について説明する。

【0036】この回路の伝達特性は、前述の比率($T2/T1$)が(1/16)として、式1を変形した結果、得られた式2～式4によって表される。

【0037】

式2

式3

式4

り、遅延器83の出力信号84は、入力80に比べて(2×16×T1)だけ遅延しており、遅延器85の出力信号86は、入力80に比べて(3×16×T1)だけ遅延している。

【0038】演算器88は、入力80、16段遅延出力82、32段遅延出力84および48段遅延出力86に

基づき、演算結果89を出力する。演算器88のおこなうべき演算は、前述の式3から導かれる式5によって表*

$$Q = A - 3B + 3C - D$$

ここで、Aは入力80の値、Bは16段遅延出力82の値、Cは32段遅延出力84の値、Dは48段遅延出力86の値をそれぞれ表す。演算結果89は、Dフリップフロップ90で保持される。

【0040】保持信号91は、縦列に接続される積分器92、94および96によって積分される。積分器92、94および96は、同一の回路で構成される。図10において、「+」で示された演算子は、多ビット加算を表す。これら3段の積分器のおこなう処理は、前述の式4によって表される。積分信号97は、Dフリップフロップ98によって保持される。

【0041】図11は、クロックCLK1およびCLK2と、図10に示す回路の各部の信号とのタイミング図を示す。CLK1の周波数(1/T1)を4.864MHzとすれば、CLK2の周波数(1/T2)は304kHzとなる。

【0042】本実施例においては、比率(T2/T1)は、(1/16)であるが、比率が異なる値であっても※

$$C_n = g(nT) \cdot \cos(2\pi f_c nT), \quad n=0, \pm 1, \pm 2, \pm 3 \dots \quad \text{式6}$$

ここで、g(t)は、正の値のみをとる窓関数であり目的の帯域幅が得られるように繰り返し計算し求めることができる。f_cは、帯域制限フィルタの中心周波数である。★

$$C_n = g(nT) \cdot \cos(0.5n\pi), \quad n=0, \pm 1, \pm 2, \pm 3 \dots \quad \text{式7}$$

すなわち、

$$C_n = g(nT), \quad n=0, \pm 4, \pm 8, \dots \quad \text{式8}$$

$$C_n = -g(nT), \quad n=\pm 2, \pm 6, \pm 10, \dots \quad \text{式9}$$

$$C_n = 0, \quad n=\pm 1, \pm 3, \pm 5, \dots \quad \text{式10}$$

となり、奇数番目のフィルタ係数値、つまりn=±1, ±3, ±5, …におけるC_nをゼロにできる。このことにより、FIRフィルタをハードウェア的に実現する場合には、回路の簡略化が可能となり、ソフトウェア的に実現する場合には、計算量の削減が可能となる。いずれの場合☆

$$C_n = C - n, \quad \text{ただし } n \text{ は自然数}$$

を満たす。

【0049】図14は、図13の係数を用いたときのFIRフィルタの周波数特性を示す。ここで多重信号中心周波数は、76kHzとしている。

【0050】図15は、実施例2におけるデジタルフィルタ回路の他の例を示す。縦列接続された20個の遅延器100~119は、信号(x_{k-10})~(x_{k+10})を生成する。係数が対称波形であることを利用して(x_{k-10})と(x_{k+10})とは、加算器120によって加算された後、係数器130によって係数値C10で乗算がおこなわれる。これと同様の演算が、加算器121~124および係数器125~130によっておこなわれる。加算器131は、計数器125~130の出力を加算し、出力y_kを出力する。図15に示すF

*される。

【0039】

式5

※よい。

【0043】前述の間引きフィルタ回路35は、デジタル回路で実現される。そのため、回路の外部からの雑音を受けにくくなり、高いSN比を得ることが可能となる。

【0044】(実施例2)図12は、実施例2において、デジタルフィルタ回路13として用いるFIR(有限インパルス応答)フィルタの構成を示す。図12に示すFIRフィルタは、同一の遅延時間Tをもつ遅延器40~44と、フィルタ係数器45~51と、加算器58と、を備えている。なお図12では、繰り返し配置される一部の回路を点線により省略して表している。

【0045】図12に示すFIRフィルタは、フィルタ係数器の値C_nを変えることによって、さまざまな特性を実現できる。本実施例では、特に式6に示すフィルタ係数値C_nをもつ帯域制限フィルタを使用する。

【0046】

★ここで遅延器の遅延時間Tを1/(4f_c)と設定すると式7が得られる。

【0047】

☆合もフィルタ処理の高速化が可能となる。

【0048】図13は、フィルタ係数器が23個の場合の数値例を示す。図13において、横軸は時間を、縦軸は振幅を表す。図13のフィルタ係数値は、係数C_0を対称の中心として対称形である。すなわち

式11

IIRフィルタも、図13に示す係数を用いており、その周波数特性は図14に示す特性と同様になる。なお、係数器の数や係数値を変えることにより、異なる周波数特性のFIRフィルタを用いてもよい。

【0051】FIRフィルタは、専用の論理回路、汎用のDSP(デジタルシグナルプロセッサ)によって実現できる。また本実施例のAD変換回路11としては、実施例1に示した、1ビットAD変換回路33および間引きフィルタ回路35を有するAD変換回路を用いてもよい。

【0052】以上、述べたように本発明のFM多重受信装置においては、デジタルフィルタを用いる。一方、従来技術によるFM多重受信装置においては、アナログフィルタしか用いられなかった。多重信号波の中心周波

数が76kHzの場合、例えばその4倍の304kHzのサンプリング周波数によってデジタル処理をおこなう必要がある。しかし従来は、このような高いサンプリング周波数において動作する、低雑音・低消費電力で、かつ回路規模の小さいデジタルフィルタは存在しなかった。

【0053】実施例1で述べたように、AD変換回路として、1ビットAD変換回路および間引きフィルタを組み合わせて用いることにより、低雑音が実現できる。1ビットAD変換回路は、アナログ回路の規模が小さいため、消費電力も低減できる。また実施例2で述べたように、デジタルフィルタ回路として、奇数番目のフィルタ係数値がゼロで、かつサンプリング周波数が希望波の4倍の周波数であるFIRフィルタを用いることにより、演算処理の高速化および回路規模の小型化が可能になる。これらAD変換回路およびデジタルフィルタ回路を組み合わせることにより、FM多重受信装置においてデジタルフィルタを使用できるという事実は、本発明の発明者が初めて得た知見である。

【0054】

【発明の効果】本発明によれば、FM多重受信装置において、デジタルフィルタ回路を用いている。このことにより、少なくとも次の効果が得られる。

【0055】(1)従来のアナログフィルタにおいて電源回路から混入する雑音および増幅器が発生する雑音が、本発明のFM多重受信装置においては、皆無であり、信号対雑音比を改善できる。

【0056】(2)従来のアナログフィルタでは構成部品の精度のばらつきなどにより、高精度の周波数特性が得られなかったが、本発明によるFM多重受信装置においては、理論値どおりの周波数特性が得られるため、多重信号波以外の信号の成分を大きく抑圧できる。

【0057】(3)デジタルフィルタは増幅器を用いない論理回路から構成されるため、増幅器を多数使用する従来のアナログフィルタを採用したFM多重受信装置に比べて、低消費電力設計が容易である。

【0058】(4)デジタルフィルタにおいては縦列接続する段数を増やしても、雑音増加、特性のばらつき、位相特性の劣化等を生じない。

【0059】AD変換回路として、ノイズシェーピング方式による1ビットAD変換回路と、1ビットデジタル信号のサンプリング周波数を整数分の1に間引くための間引きフィルタとを用いることにより、少なくとも次の効果が得られる。

【0060】(5)比較器を256個使用した8ビットフラッシュ方式(分割抵抗とコンパレータによる構成)などによるAD変換回路を使用したときと比べると、小型化および低消費電力化が可能である。

【0061】(6)1ビットAD変換回路は、例えば2個の演算増幅器と1個の比較器で簡単に構成できるので、

デジタルフィルタなどのデジタル回路と同じシリコンチップ上に容易に集積できる。

【0062】またデジタルフィルタとして、フィルタ係数値の奇数位置がゼロであり、かつ多重信号中心周波数の4倍のサンプリング周波数で信号処理する有限インパルス応答フィルタを用いる。このことにより、少なくとも次の効果が得られる。

【0063】(7)従来のアナログフィルタでは実現できなかった、リニアな位相特性が得られるので位相歪みをなくすることができる。

【0064】(8)フィルタ係数演算量を削減できる手法を用いるので、論理回路の設計が容易になると同時に、小型化および低消費電力化が可能となる。さらに、演算速度の高速化が図れるので、高い周波数領域の信号に対応できる。

【図面の簡単な説明】

【図1】本発明によるFM多重受信装置の実施の形態のブロック図である。

【図2】図1のデジタルFM復調波12のもつ周波数スペクトラムを示す図である。

【図3】図1のビットデータ16およびビットクロック17を表すタイミングチャートを示す図である。

【図4】本発明によるFM多重受信装置の実施例1におけるAD変換回路のブロック図である。

【図5】ノイズシェーピング方式による1ビットアナログ/デジタル変換装置回路が発生する量子化雑音の周波数スペクトルおよび間引きフィルタの周波数特性を示す図である。

【図6】図4の1ビットAD変換回路33の出力34、および間引きフィルタ35の出力36のタイミングを示す図である。

【図7】比率(T_2/T_1)が16のときの、1ビットAD変換回路33および間引きフィルタ35の周波数特性の例を示す図である。

【図8】上述のノイズシェーピング方式による1ビットAD変換回路のブロック図の例を示す図である。

【図9】Q出力72、 \neg Q出力73、クロック $\phi 1$ およびクロック $\phi 2$ が変化したときの、アナログスイッチD1、D2、 $\phi 1$ および $\phi 2$ の導通状態を示す図である。

【図10】間引きフィルタ回路35の回路例を示す図である。

【図11】クロックCLK1およびCLK2と、図10に示す回路の各部の信号とのタイミングを表す図である。

【図12】実施例2において、デジタルフィルタ回路13として用いるFIR(有限インパルス応答)フィルタの構成を示す図である。

【図13】図12のデジタルフィルタ回路のインパルス応答を示す図である。

【図14】図12のデジタルフィルタ回路の周波数特

11

12

性を示す図である。

【図15】実施例2におけるデジタルフィルタ回路の他の例を示す図である。

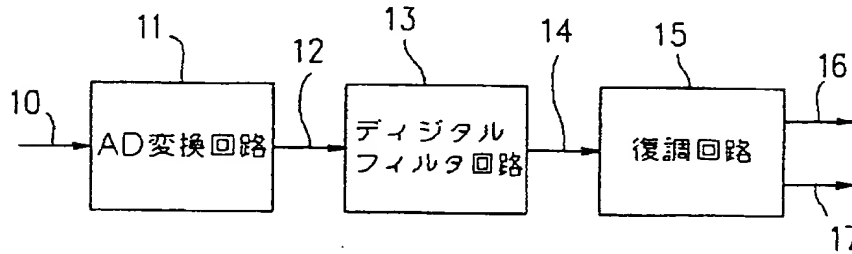
【図16】従来のFM多重放送受信機のブロック構成を示す図である。

【図17】図16を説明するためのFM多重復調波の周波数スペクトルを示す図である。

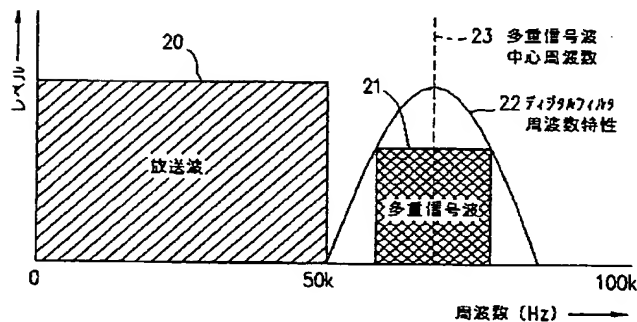
【符号の説明】

- 10 FM復調波
- 11 アナログ／デジタル変換回路
- 12 デジタルFM復調波
- 13 デジタルフィルタ回路
- 14 デジタル多重信号波
- 15 復調回路
- 16 ビットデータ
- 17 ビットクロック

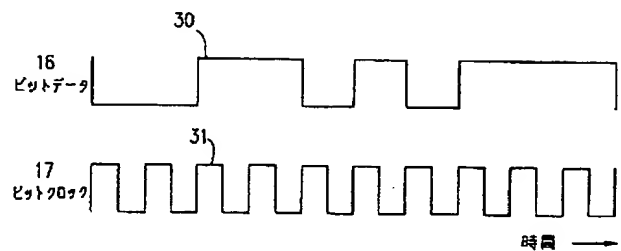
【図1】



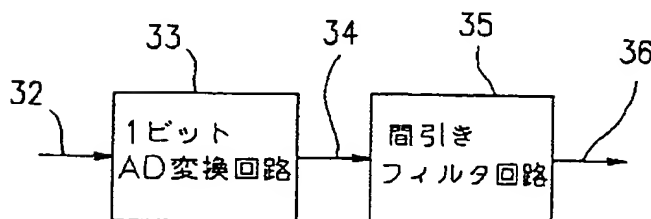
【図2】



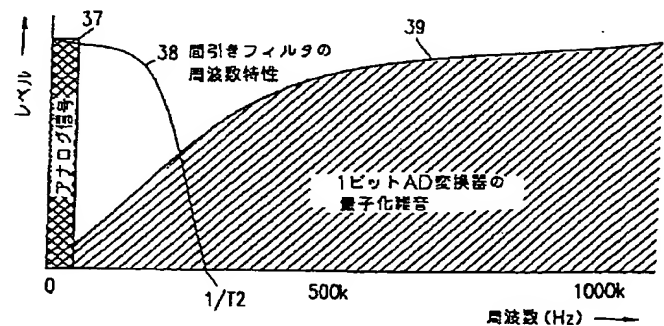
【図3】



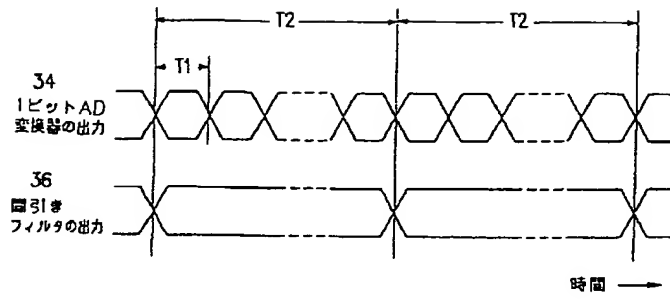
【図4】



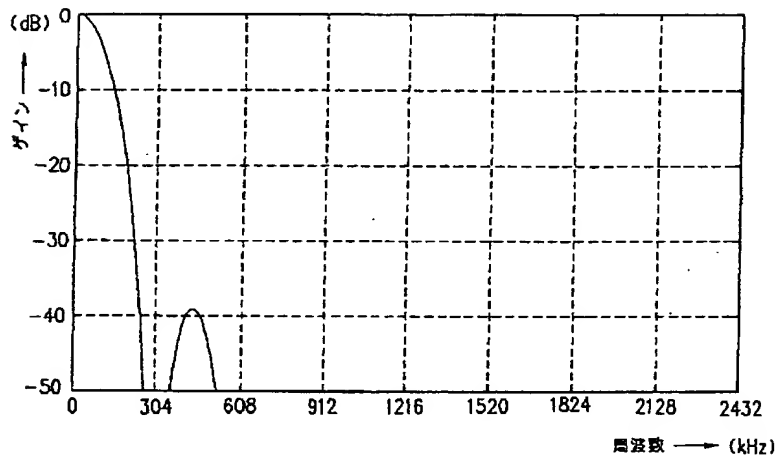
【図5】



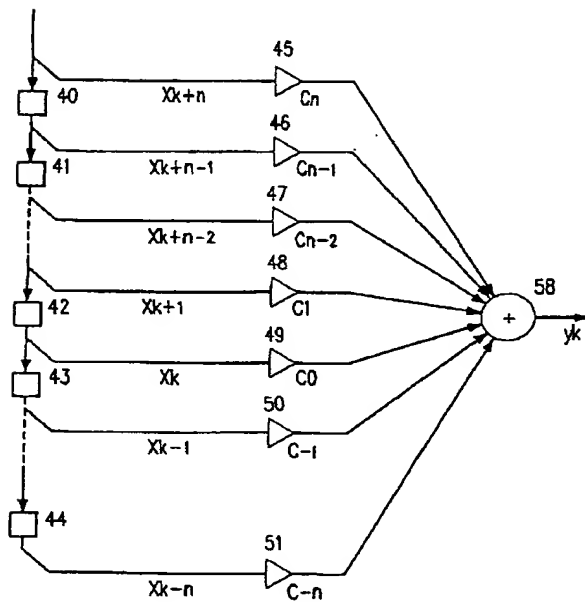
【図 6】



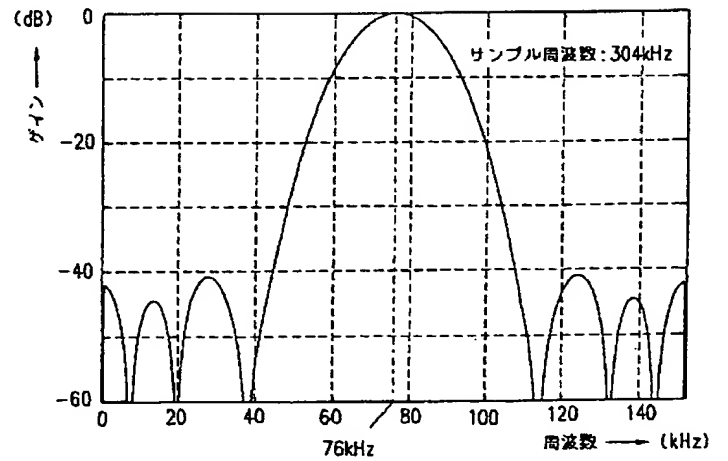
【図 7】



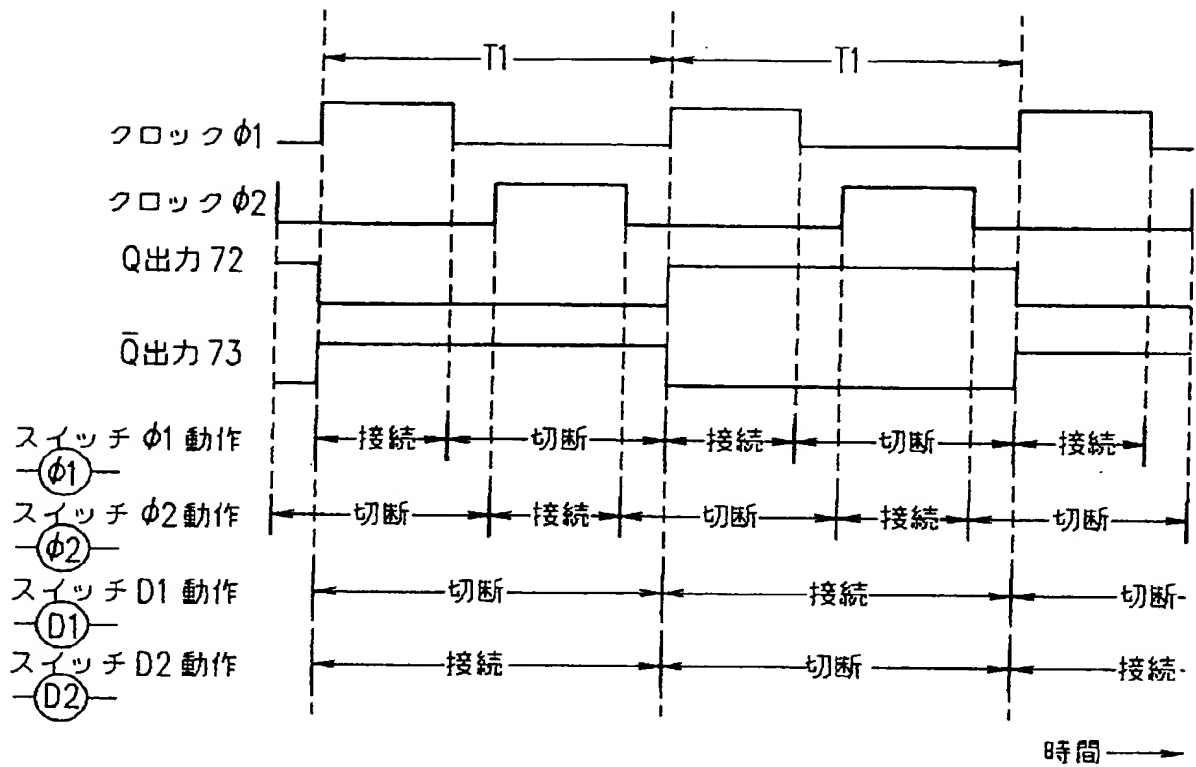
【図 1 2】



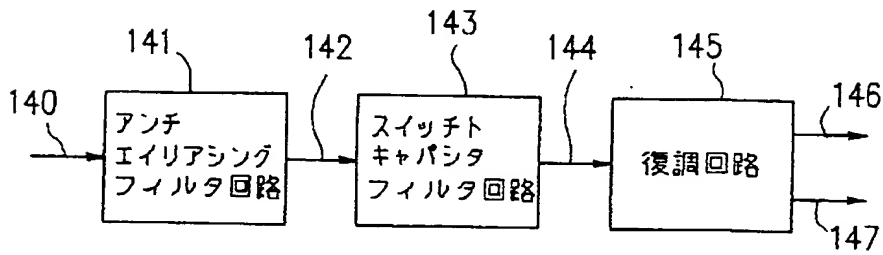
【図 1 4】



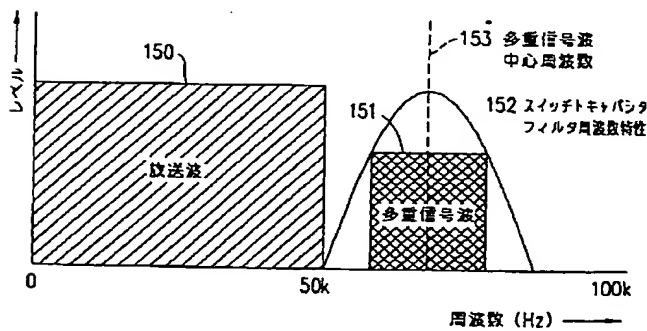
【図 9】



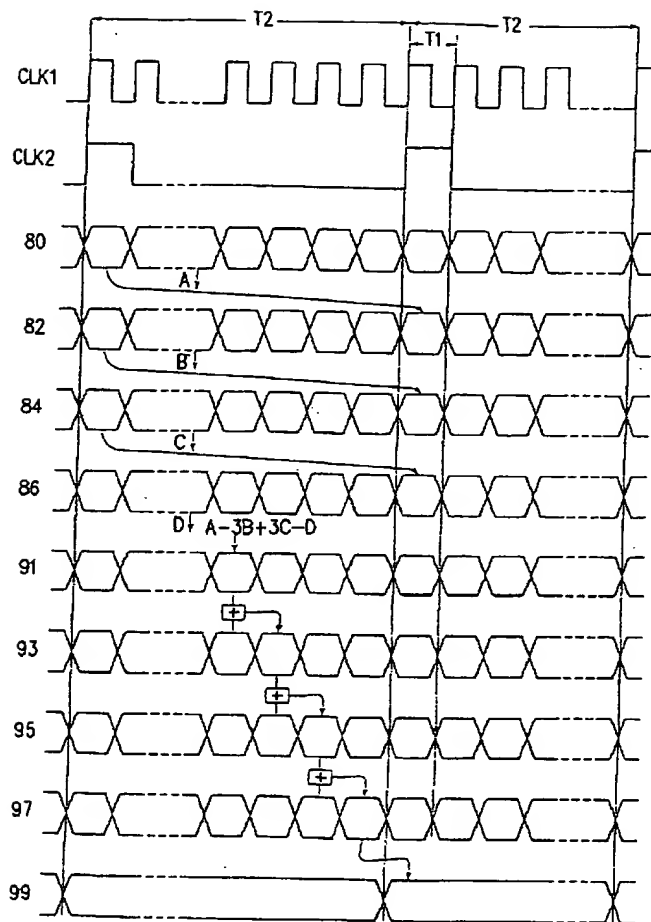
【図 16】



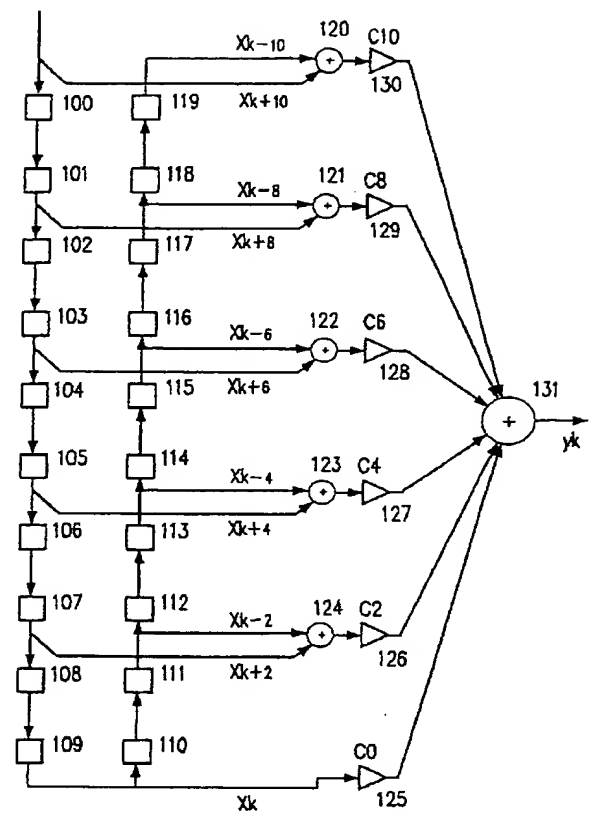
【図 17】



【図 1 1】



【図 1 5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.